

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-151701

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 04-298515

(71)Applicant : SHARP CORP

(22)Date of filing : 09.11.1992

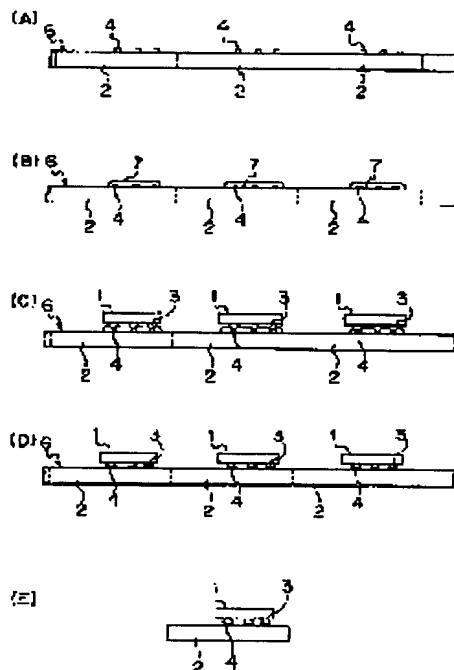
(72)Inventor : RAI AKITERU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To cut down the manufacturing cost of a chip-on-chip device which is excellent in productivity by a method wherein a semiconductor chip is mounted on a plurality of semiconductor substrates in the state of wafer before they are individually cut, and then the semiconductor substrates are cut into pieces.

CONSTITUTION: A wafer 6 contains a number of semiconductor substrates 2. Each semiconductor substrate 2 contains a bonding pad part 4. The bonding pad part 4 contains the solder wetting metal layer such as Cu and Au, for example. When the semiconductor substrate 2 of a chip-on-chip device is in a wafer state, a semiconductor chip 1 is flip-chip bonded on the abovementioned semiconductor substrate 2. As a result, a plurality of chip-on-chip devices are manufactured simultaneously, and lastly, the chip-on-chip devices are separated into individual pieces. Accordingly, the man-hours for the manufacture of the chip-on-chip devices can be reduced and the manufacturing cost can also be cut down.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-151701

(43)公開日 平成 6 年(1994) 5 月31日

(51)Int.Cl.⁵

H 0 1 L 25/065
25/07
25/18

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平4-298515
(22)出願日 平成 4 年(1992)11月 9 日

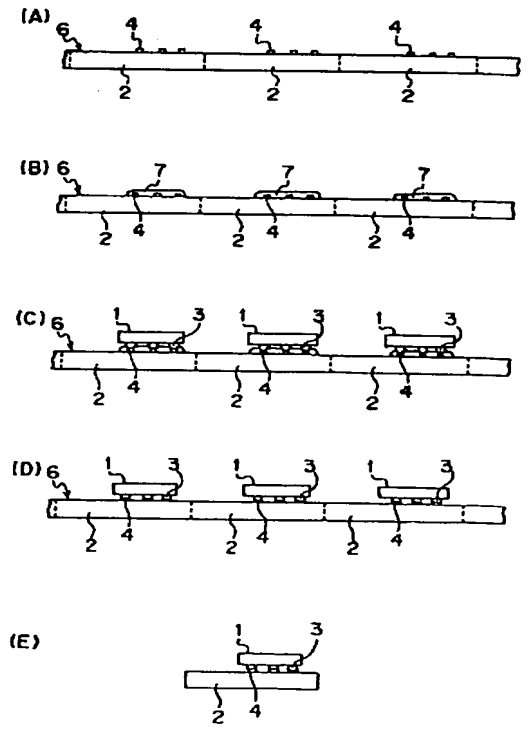
(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 頼 明照
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74)代理人 弁理士 青山 葆 (外 1 名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 量産性に優れ、チップオンチップデバイスの製造コストを低減できる半導体装置の製造方法を提供する。

【構成】 個別に切断される前のウェハ状態の複数個の半導体基板 2 上に半導体チップ 1 を実装し、その後、半導体基板 2 を個別に切断する。



【特許請求の範囲】

【請求項1】 半導体基板と上記半導体基板上に実装された半導体チップとを含む半導体装置の製造方法において、個別に切断される前のウェハ状態の複数の半導体基板上に半導体チップを実装し、その後、上記半導体基板を個別に切断することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に半導体基板上に半導体チップを実装した半導体装置の製造方法に関するものである。

【0002】

【従来技術】 近年、図2および図3に示すように半導体基板22, 32上に半導体チップ21, 31を搭載した半導体装置であるチップオンチップデバイスを作製するためのチップオンチップ実装技術の開発が盛んに行われている。

【0003】 図2に示すチップオンチップデバイスは、フリップチップボンディング技術を用いて、ハンダバンプ23を介して半導体基板22に半導体チップ21を接続したチップオンチップデバイスである。

【0004】 また、図3に示すチップオンチップデバイスは、ワイヤーボンディング技術を用いてワイヤー35を介して半導体基板32に半導体チップ31を接続したチップオンチップデバイスである。

【0005】 このチップオンチップ実装技術は、大きなサイズのチップの搭載が容易であり、信頼性に優れ、多機能化・大容量化・高密度化が容易である等の特長を有しており、次世代の高密度実装技術として大きく期待されている。

【0006】 図2に示すチップオンチップデバイスの作製およびパッケージングは、一般に、以下の(i)~(v)に示すような順に行う。

- (i) バンプ付半導体チップ21を作製する。
- (ii) ボンディングパッド24を有する半導体基板22を作製する。
- (iii) ダイシング後の個々の半導体基板22上に半導体チップ21をフリップチップボンディングする。
- (iv) 電気テストを行い、半導体チップ21に不良があれば、半導体チップ21のリペアーを行う。必要に応じて半導体チップ21と半導体基板22の界面にレジンを注入し、チップオンチップデバイスの作製を完了する。
- (v) チップオンチップデバイスをパッケージングする。

【0007】

【発明が解決しようとする課題】 しかしながら、従来、上述のような方法でチップオンチップデバイスを作製する場合には、一枚毎の半導体基板22に対してフラック

ス塗布と、半導体チップ21の仮接着と、リフローと、フラックス洗浄と、テスト等の工程を行う必要があるもので、量産性が悪く、トータル的に見てコストアップになるという問題がある。

【0008】 また、ワイヤーボンディング方式による作製方法においてもダイボンディング工程やテスト工程を、個々の半導体基板32について実施しなければならず量産性に問題があった。

【0009】 そこで、本発明の目的は、量産性に優れ、チップオンチップデバイスの製造コストを低減できる半導体装置の製造方法を提供することにある。

【0010】

【問題を解決するための手段】 上記目的を達成するために、本発明は、半導体基板と上記半導体基板上に実装された半導体チップとを含む半導体装置の製造方法において、個別に切断される前のウェハ状態の複数の半導体基板上に半導体チップを実装し、その後、上記半導体基板を個別に切断することを特徴としている。

【0011】

【作用】 本発明によれば、ウェハ状態の複数の半導体基板上に半導体チップを実装するので、従来個々の半導体基板毎に行っていたフラックス塗布工程およびリフロー工程およびフラックス洗浄工程およびテスト工程等を、ウェハ単位で行うことができるので、1つの半導体基板当たりに必要な工程数を大幅に低減することが可能になる。

【0012】

【実施例】 以下、本発明を図示の実施例に基づいて詳細に説明する。

【0013】 図1に、本発明の半導体装置の製造方法の実施例を示す。図1(A),(B),(C),(D),(E)を順に参照して、上記実施例を説明する。

【0014】 図1(A)に示すウェハ6は、多数の半導体基板2を含んでいる。半導体基板2はボンディングパッド部4を含んでいる。このボンディングパッド部4は、例えばCuやAuのようなハンダが濡れる金属層を含んでいる。

【0015】 図1(B)に示すように、上記ウェハ6のボンディングパッド部4に、例えば、転写またはスタンピングまたはディスペンサー等によってフラックス7を塗布する。次に、図1(C)に示すように、上記ウェハ6が含む各半導体基板2上に、ハンダバンプ3を含む半導体チップ1を、フリップチップボンダーを用いてプレースメントする。この時、ハンダバンプ3はフラックスの粘着力によって半導体基板2のボンディングパッド部4に仮接着される。

【0016】 次に、上記ウェハ6および半導体チップ1を、最大温度がハンダの融点より高いリフロー炉に通し、ハンダバンプ3を溶融して、上記半導体チップ1とウェハ6とを接続する。その後、フラックス残渣を溶剤

洗浄によって除去する(図1(D)参照)。最後に、形成された各半導体チップ1を電気テストし、チップ1に不良があれば、不良チップを除去し、再度フラックス塗布から工程を繰り返す。不良が無ければ、上記半導体チップ1と上記半導体基板2を含む各チップオンチップデバイスをダイシングによって個別化し(図1(E)参照)、工程を完了する。

【0017】このように、上記実施例は、チップオンチップデバイスの半導体基板2がウェハ状態のときに、この半導体基板2に半導体チップ1をフリップチップボンディングすることによって、複数のチップオンチップデバイスを一度に作製し、最後にダイシングを行ってチップオンチップデバイスを個々に分割するものである。

【0018】したがって、この実施例によれば、ウェハレベルでチップオンチップデバイスを作製することができ、従来個々の半導体基板毎に行っていたフラックス塗布工程およびリフロー工程およびフラックス洗浄工程およびテスト工程等をウェハ単位で行うことができるので、デバイス1個作製するに当たって必要となる工程数を大幅に減少させることができ、デバイス作製コストを大幅に削減できる。

【0019】尚、本実施例では半導体基板2上への半導体チップ1の搭載をフリップチップボンディングによって行う場合について説明したが、本発明はフリップチップボンディングだけに限られるものではなく、ワイヤーボンディング方式やその他のチップ実装方式においても適用できることは言うまでもない。この場合、ウェハレベルでダイボンディング工程やテスト工程が行えるようになって、チップオンチップデバイスの製造工数を大幅

に削減できる。

【0020】また、本実施例では1個の半導体基板2上へ搭載する半導体チップ1の個数が1つである場合について説明を行ったが、本発明は1個の半導体基板上へ複数の半導体チップを搭載する場合においても適用可能であることは言うまでもない。

【0021】

【発明の効果】以上の説明より明らかなように、本発明の半導体装置の製造方法は、ウェハ状態の複数の半導体基板上に半導体チップを実装するものである。したがって、この発明によれば、ウェハレベルでチップオンチップデバイスを作製することができ、ダイシング済みの個々の半導体基板のレベルでチップオンチップデバイスを作製していた従来例に比べて、デバイス1個作製するに当たって必要となる工程数を大幅に減少させることができる。したがって、デバイス作製コストの削減に大きく寄与することができる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の製造方法の実施例の工程を示す断面図である。

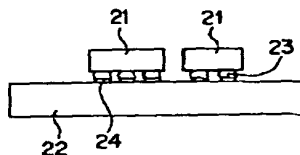
【図2】 フリップチップボンディング方式によって製造したチップオンチップデバイスの断面図である。

【図3】 ワイヤーボンディング方式によって製造したチップオンチップデバイスの断面図である。

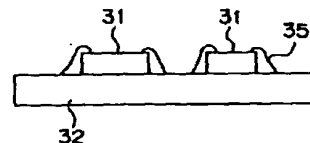
【符号の説明】

- | | |
|----------|-------------|
| 1 半導体チップ | 2 半導体基板 |
| 3 ハングバンプ | 4 ボンディングパッド |
| 5 ワイヤー | 6 ウェハ |
| 7 フラックス | |

【図2】



【図3】



【図 1】

